

一种短时间间隔测量方法的研究及其 FPGA 实现

蔡德胜, 方寿海

(南京工业大学 电子与信息工程学院, 江苏 南京 211816)

摘 要: 介绍了基于 FPGA(Field-Programmable Gate Array)实现高精度时间间隔测量的系统结构及关键技术. 采用锁相环对时钟源进行倍频、相移产生多路相关联的参考时钟, 对短时间间隔进行双边沿采样测量, 从而等效提高时钟频率, 减小量化误差, 提高了时间间隔测量的分辨率. 最大分辨率可达 625ps, 测量范围优于 20s, 为更高精度的时间间隔测量提供更小的测量范围, 从而为精细测量专注于更高的分辨率和测量精度打下基础.

关键词: 时间间隔测量; FPGA; 等效脉冲法; 锁相环

中图分类号: TP391

文献标识码: A

文章编号: 1000-7180(2012)10-0034-03

A Method for Short Time Interval Measurement Implemented in FPGA

CAI De-sheng, FANG Shou-hai

(College of Electronics and Information Engineering, Nanjing University of Technology, NanJing 211816, China)

Abstract: Introduced the system architecture and key technologies of high precision time interval measurement based on Field Programmable Gate Array (FPGA), which produce associated multiple reference clock by frequency, phase shift used PLL. For short intervals along the sampling measurement by both edges, which is equivalent to increase clock frequency, reduce the quantization error, increase the time interval measurement resolution with 625 ps optimization has been achieved in the measurement range more than 20s, which provides narrow range for ultra precise time interval measurement, thus the new precise measurement is more useful for focusing on the higher resolution and accuracy.

Key words: time interval measurements; FPGA; equivalent pulse method; PLL

1 引言

高精度时间间隔测量是高精度超声波测距、激光脉冲测距和雷达测距的基础, 在电子测量领域中, 是许多高精度测量仪器的核心部分. 采用原理简单的直接计数法测量时间间隔受限与计数时钟频率, 实现 100 ps 的分辨率, 相当于采用 20GHz 的时钟信号驱动计数器, 这种微波段信号不仅难以产生, 准确性也得不到保证, 目前该方法只能达到纳秒级的精度. 文献[1]采用直接计数法结合插值法, 直接计数法分辨率为 10 ns, 即插值法需要提供 0~10 ns 的测量范围. 文献[2]采用粗计数结合延迟线法, 粗计数部分提供小于 5 ns 的分辨率. 文献[3]采用脉冲计数法与时间延展法相结合, 脉冲计数法也只能

对大于 10 ns 的间隔进行量化, 需要 100 倍的时间延展. 上述粗测量部分都只能提供纳秒级的分辨率, 也即精细测量部分必须要具有纳秒级的测量范围, 如此必将增加细测量部分电路的负担, 由于电压与温度等的影响必将影响细测量部分的误差, 限制了 ps 级甚至 fs 级的测量精度. 如果能够将粗测量部分的分辨率提高到 ps 级, 则精细部分就可以减小测量范围, 进行较小倍数的延展及插值或较小的延迟单元, 从而减小温度、电压等外界因素引起的误差, 进而提高精细测量的精度和分辨率.

本文采用等效提高时钟频率的方法来减小计数过程中的量化误差, 从而提高粗测量部分的测量精度, 减小细测量部分的负担, 以实现更高精度的时间间隔测量.

2 测量原理

传统的测量时间间隔采用脉冲计数法^[4]进行测量,在时间间隔内对输入脉冲进行计数从而得到测量结果近似等于脉冲周期的整数倍,但测量精度较低,量化误差较大。

本文提出等效脉冲法进行测量。等效脉冲计数法是对脉冲计数法的改进,是基于数字移相技术,所谓移相是指对于两路同频信号,以其中一路为参考信号,另一路相对于该参考信号做超前或滞后的移动形成相位差。采用数个(由相移后时钟个数决定)计数器对相移后的脉冲进行计数,然后再取平均得到时间间隔,但等效脉冲计数法的各个时钟之间是有相关性的,总闸门时间误差不会随着计数次数的增加而增加,图1为其原理图。

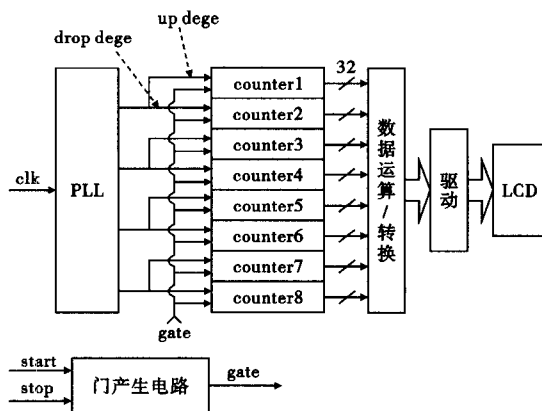


图1 时间测量原理图

源时钟经锁相环倍频、相移后将各路参考时钟送相应计数器,时间间隔的起始信号 start 和结束信号 stop 经门产生电路得到门信号 gate,各计数器在门信号有效时对各路参考频率的双触发沿分别进行计数,然后将各计数数值送数据处理模块,最后经驱动电路送显示器显示出时间间隔值。其波形如图2所示。

其中,clk 为时钟源信号,gate 为时间间隔的闸门信号,与起始信号 start 和终止信号 stop 同步,通过锁相环对原始输入时钟信号 clk 倍频和相移后得到 n (文本取 $n=4$) 路参考时钟,这 n 个参考时钟信号,频率相同,相位依次相差 $180^\circ/n$,用 n 路时钟信号的上升沿和下降沿分别驱动 $2n$ 个计数器(32-bits)对时间间隔信号 gate 进行计数。设倍频和相移后的参考时钟频率为 f_0 ,周期为 $T_0=1/f_0$,各个计数器的计数值分别为 $m_i (i=1,2,\dots,2n)$,则测得时

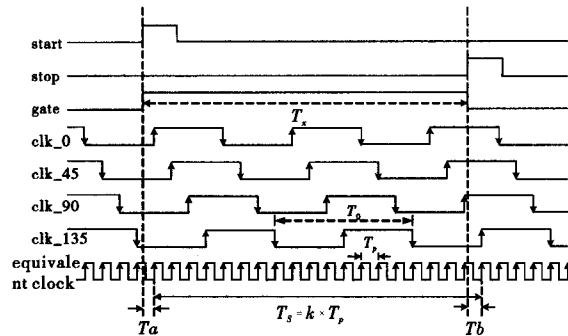


图2 等效脉冲法测量原理波形

间间隔为:

$$T_s = \frac{1}{2n}(m_1 + m_2 + \dots + m_{2n-1} + m_{2n})$$

$$= \frac{1}{2n} \sum_{i=1}^{2n} m_i \times T_0 \quad (1)$$

$$\text{令 } T_p = \frac{1}{2n} \times T_0, k = \sum_{i=1}^{2n} m_i, \text{ 则 } T_s \approx T_p = k \times T_p,$$

其中 T_p 相当于等效脉冲法的计数周期, k 为等效脉冲法的计数总数,等效频率 $f_p = 1/T_p = 2n/T_0 = 2n \times f_0$,即等效脉冲法相当于将倍频后的时钟频率扩大 $2n$ 倍,在忽略闸门触发误差和时基误差的情况下,得到的分辨率是传统脉冲计数法的 $1/2n$ 。

如图3所示为倍频相移电路波形功能仿真图,直接调用FPGA内一个锁相环,这里选择20MHz高精度时钟作为测量电路的时钟源,选用普通反馈模式,对源时钟进行10倍频得到200MHz的输出计数时钟,并将 $c1$ 相移 45° , $c2$ 相移 90° , $c3$ 相移 135° 。locked 信号有效时锁相环进入正常工作状态^[5]。

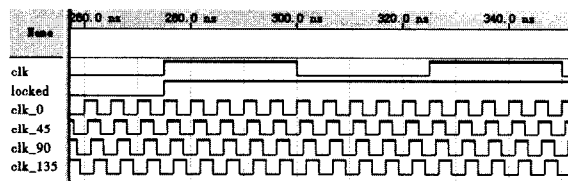


图3 倍频相移电路波形图

采用等效脉冲法测量时间间隔的误差为 $T_a - T_b$,与脉冲计数法比提高了量化误差(如图2中,对于第一路 clk_0 ,采用传统的脉冲计数法测得结果为 $3T_0$,而采用等效脉冲法测得结果为 $19T_p = 19T_0/8$,从而量化误差减小 $3T_0 - 19T_0/8 = 5T_0/8$,如果 T_0 取 5 ns,则量化误差减小 3.125 ns)。

文中采用 20 MHz 时钟源经锁相环倍频后得到 $f_0=200$ MHz 的参考时钟,即 $T_0=5$ ns,也即传统分辨率只能达到 5 ns,采用等效脉冲法后将分辨率

提高到 $\frac{T_0}{2n} = \frac{5}{8} = 625$ ps, 计数器采用 32 位, 最大测量时间为 21.47s, 即测量范围为 625 ps~21.47s.

3 硬件实现

本文将数据驱动模块集成到 FPGA 内, 测量电路由锁相环构成的倍频、相移电路模块、门信号产生模块、计数模块、数据处理模块及驱动模块共 5 个部分.

其中锁相环模块直接调用 FPGA 内部一个锁相环, 设置参数为: 输入时钟 20MHz, 常规模式, 10 倍频且占空比均为 50%, 输出 4 路参考时钟, 相位以此相差 45°, 添加输出锁存信号; 门信号产生模块根据起、始时间上升沿采样得到门信号; 计数模块采用 32 位异步计数器, 在门信号有效阶段对各路参考时钟上升或下降沿进行采样计数, 并将结果送数据处理模块; 数据处理模块将 8 路计数器的数值进行求和然后取平均, 将得到的结果与参考频率的时钟周期相乘即得到时间间隔, 由于 FPGA 内只能实现整数处理, 这里将小数部分扩大相应的倍数到整数后进行数据处理, 输出时再缩小相同的倍数; 驱动模块将数据处理得到的数据进行译码转换为 BCD 码后送显示器显示. 其电路原理示意图如图 4 所示.

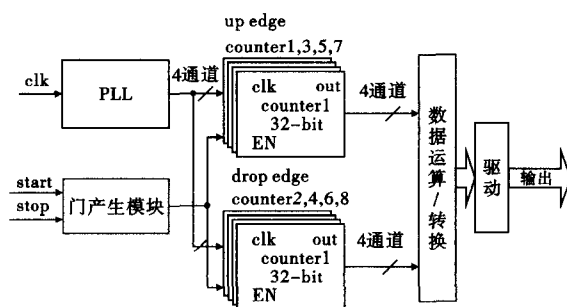


图 4 测量模块硬件原理图

4 误差分析

测量过程中主要误差来源有: 参考频率的量化误差、锁相环部分相移电路的不稳定造成的误差、系统误差.

参考频率量化误差如图 2 所示. 时间间隔的实际值为:

$$T_x = T_s + T_a - T_b \quad (2)$$

又式(1)、(2)可得系统量化误差公式为:

$$\Delta T = T_s - T_x = T_b - T_a = \frac{1}{2n} \sum_{i=1}^{2n} \Delta T_i \quad (3)$$

式中, n 为移相后参考时钟的个数, ΔT_i 为第 i

-1 个参考时钟的量化误差.

因此系统的测量误差为:

$$-\frac{1}{2n}T_0 < \Delta T_x < \frac{1}{2n}T_0 \quad (4)$$

文中 $n=4$, $T_0=5$ ns, 故测量误差为 $|\Delta T_x| < 625$ ps.

锁相环相移电路误差是由相移电路的不稳定造成的误差, 与系统量化误差比可以忽略. 系统误差是指在 FPGA 内布线时产生的延迟差, 如锁相环四路参考时钟到八个计数器的路径延迟差异而产生的延迟误差, 可以通过 Logic Lock 将各个计数器的位置进行锁定, 并确定与锁相环输出的路径延迟基本相等, 从而减小布线延迟差^[6].

5 结束语

本文采用锁相环倍频、相移得到较高频率的参考时钟, 通过四路参考时钟对时间间隔进行采用, 从而等效提高时钟频率来减小量化误差, 达到皮秒量级的测量精度, 最大分辨率可达 625ps, 测量范围优于 20s. 提高了粗测量的测量精度, 为更高精度的时间间隔测量提供更小的测量范围. 为 ps 甚至 fs 量级的时间间隔测量打下基础. 整个测量电路集成到单片 FPGA 芯片内, 集成度高, 电路结构简单, 易于实现.

参考文献:

- [1] Teodorescu H N, Hulea M. Error analysis of measuring the time intervals with a combined measuring method[C]// NEHIPISIC' 11. USA: Stevens Point, Wisconsin, 2011: 265-270.
- [2] Favi C, Charbon E. A 17ps time-to-digital converter implemented in 65nm FPGA technology[C]// FPGA' 09. USA: California, 2009: 113-120.
- [3] 范晓东, 刘光斌. 精密时间间隔测量系统方案设计[J]. 无线电工程, 2010, 40(9): 55-57.
- [4] 陈尚松, 郭庆, 雷加. 电子测量与仪器[M]. 2 版. 北京: 电子工业出版社, 2009: 114-154.
- [5] San Jose. Megafunction overview user guide [EB/OL]. [2011-10-19]. <http://www.altera.com>.
- [6] 吴继华, 王诚. Altera FPGA/CPLD 设计: 高级篇[M]. 北京: 人民邮电出版社, 2005.

作者简介:

蔡德胜 男, 硕士研究生. 研究方向为嵌入式系统.

方寿海 男, 教授. 研究方向为嵌入式系统及智能仪器.